

Chip structure and process for making the same**Publication number:** TW511243 (B)**Publication date:** 2002-11-21**Inventor(s):** LIN MAU-SHUNG [TW]; LI JIN-YUAN [TW]; HUANG JIN-CHENG [TW]**Applicant(s):** MEGIC CORP [TW]**Classification:****- International:** H01L21/768; H01L21/70; (IPC1-7): H01L21/788**- European:****Application number:** TW20010131030 2001121 4**Priority number(s):** TW20010131030 2001121 4**Abstract of TW 511243 (B)**

A chip structure comprises a substrate, a first stacked layer, a protective layer, and a second stacked layer, in which the substrate comprises a plurality of electronic elements arranged on the surface layer of the substrate, the first stacked layer is located on the substrate and comprises a dielectric structure body and a first wire structure body, in which the first wire structure body is intertwined in the dielectric structure body of the first stacked layer and the first wire structure body and the electronic elements are electrically connected, the protective layer is located on the first stacked layer and exposes the first wire structure body, and the second stacked layer is installed on the protective layer and at least comprises a second wire structure body electrically connected to the first wire structure body, in which the line thickness, line width and cross-section of the second wire structure body are individually larger than the line thickness, line width and cross-section of the first wire structure body.

Data supplied from the esp@cenet database — Worldwide



修正日期 91.8.29

申請日期	91.12.14.
案 號	90131030
類 別	H01L 21/768

A4
C4

511243

(以上各欄由本局填註)

發 明 專 利 說 明 書
新 型

一、發明 名稱	中 文	晶片結構及其製程(修正本)
	英 文	
二、發明 創作人	姓 名	1 林茂雄 2 李進源 3 黃進成
	國 籍	中華民國
三、申請人	住、居所	1 新竹市金山十街 28 號 2 新竹市仙水里安和街 4 巷 11 號 3 新竹市光華二街 72 巷 38-24 號 11F 之 1
	姓 名 (名稱)	米輯科技股份有限公司
三、申請人	國 籍	中華民國
	住、居所 (事務所)	新竹科學工業園區研發一路 21 號
三、申請人	代 表 人 姓 名	林茂雄

裝

訂

線

四、中文發明摘要（發明之名稱：

晶片結構及其製程

一種晶片結構包括一基底、一第一積層、一保護層及一第二積層。其中基底包括多個電子元件，配置在基底之表層。第一積層位在基底上，第一積層包括一介電結構體及一第一線路結構體，第一線路結構體係交錯於第一積層之介電結構體中，而第一線路結構體與電子元件電性連接。保護層配置在第一積層上，且保護層暴露出第一線路結構體。第二積層配置在保護層上，第二積層至少包括一第二線路結構體，會與第一線路結構體電性連接，其中第二線路結構體之路徑厚度、寬度及截面積分別大於該第一線路結構體之路徑厚度、寬度及截面積。

英文發明摘要（發明之名稱：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明(|)

本發明是有關於一種晶片結構及其製程，且特別是有關於改善電阻-電容遲緩問題的晶片結構。

現今積體電路元件發展的趨勢，無不朝向高積集度、高密度、小體積、多功能等方向發展，因此晶片的體積、封裝的體積均朝向縮小化設計，就半導體製程而言，0.18 微米線寬的半導體元件已進入量產，然而對於其內部極細的金屬連線會對晶片效能產生負面地衝擊，例如會產生匯流排之壓降，以及關鍵訊號路徑的電阻-電容遲緩(RC delay)與雜訊等問題。

請參照第 1 圖，其繪示習知半導體具有內連線的晶片結構剖面示意圖。

如第 1 圖所示，晶片結構 100 具有一基底 110、一積層 120 及一保護層 130，基底 110 具有一表面 112，在基底 110 之表面 112 的表層具有多個電子元件 114，比如是電晶體等，而基底 110 比如是矽基底。積層 120 係形成在基底 110 上，而積層 120 具有一介電結構體 122 及一線路結構體 124，線路結構體 124 係交錯於介電結構體 122 中，而線路結構體 124 分別與電子元件 114 電性連接，並且線路結構體 124 還包括多個焊墊 126，暴露於介電結構體 122 外，並且透過焊墊 126，可以使線路結構體 124 與外界電路電性連接，而介電結構體 122 的材質係為氮化矽或氧化矽。另外，保護層 130 係沉積在積層 120 上，而保護層 114 會暴露出焊墊 126。其中，線路結構體 124 之金屬層可以作為電源匯流排(power bus)或接地匯流排(ground

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

bus)之用，而電源匯流排或接地匯流排會連接到至少一焊墊 126，而與外界電路電性連接。

然而，就現今製程而言，由於積層 120 中線路結構體 124 的線寬太細，約為 0.3 微米以下，並且線路結構體 124 的路徑厚度亦甚薄，而介電結構體 122 之介電常數甚高，約為 4 左右，故容易產生電阻-電容遲緩的問題，顯著降低晶片的效能，特別是在電源匯流排、接地匯流排或其他需共同分享訊號傳輸的金屬連線上，影響更為嚴重。並且由於線路結構體 124 之線寬甚細，需要精度甚高的設備從事生產，如此成本將大幅地增加。

因此本發明目的之一就是提供一種晶片結構及其製程，可以改善電阻-電容遲緩的問題及降低晶片之功率消耗。

本發明的目的之二就是提供一種晶片結構及其製程，可以使用精度較低的設備從事生產，因而降低製造成本。

在敘述本發明之前，先對空間介詞的用法做界定，所謂空間介詞“上”係指兩物之空間關係為可接觸或不可接觸均可。舉例而言，A 物在 B 物上，其所表達的意思係為 A 物可以直接配置在 B 物上，A 物有與 B 物接觸；或者 A 物係配置在 B 物上的空間中，A 物沒有與 B 物接觸。

依照本發明之上述及其他之目的，提出一種晶片結構，包括一基底、一第一積層、一保護層及一第二積層。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (3)

其中基底包括複數個電子元件，配置在基底之表層。第一積層位在基底上，第一積層包括一第一介電結構體及一第一線路結構體，第一線路結構體係交錯於第一介電結構體中，而第一線路結構體與電子元件電性連接，第一線路結構體係由多個第一金屬層及多個第一插塞所構成，藉由第一插塞使相鄰的第一金屬層電性連接。保護層配置在第一積層上，且保護層暴露出第一線路結構體。第二積層係配置在保護層上，第二積層包括一第二介電結構體及一第二線路結構體，第二線路結構體係交錯於第二介電結構體中，而第二線路結構體與第一線路結構體電性連接，第二線路結構體係由至少一第二金屬層及至少一第二插塞所構成，第二插塞與第二金屬層電性連接。其中第二金屬層的路徑厚度、寬度及截面積分別大於該第一金屬層的路徑厚度、寬度及截面積。而第一介電結構體係由至少一第一介電層所構成，第二介電結構體係由至少一第二介電層所構成，其中任一第二介電層之厚度係大於任一第一介電層之厚度。

依照本發明之較佳實施例，其中第二金屬層之路徑厚度係界於 1 微米到 50 微米之間；路徑寬度係界於 1 微米到 1 公分之間，而路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。而第一積層之介電結構體的材質係為無機化合物，比如是氮矽化合物或氧矽化合物。另外，第二介電結構體係為有機化合物，比如是聚醯亞胺、苯基環丁烯、多孔性介電材質或彈性體。此外，上述之晶片結構還包括

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (4)

至少一靜電放電保護電路及至少一過渡元件，與第一線路結構體電性連接，而過渡元件可以是驅動器、接收器或輸入輸出電路。另外，第一線路結構體包括至少一第一焊墊、至少一第二焊墊及至少一焊墊間線路，而保護層暴露出第一焊墊及第二焊墊，第二焊墊與第二線路結構體電性連接，第一焊墊係暴露於外，並且焊墊間線路連接第一焊墊及第二焊墊，而焊墊間線路的長度係小於 500 微米。

綜上所述，本發明之晶片結構，由於第二線路結構體之第二金屬層的線路路徑截面積甚大、寬度甚寬、厚度夠厚，且第二插塞的截面積亦甚大，同時可以使用低電阻的材質作為第二線路結構體的主要導電材質，比如是銅或金，並且第二介電結構體之材質可以是有機化合物，而其介電常數甚低，約為 1~3 之間，其數據係採用的材質之不同而不同。因此藉由上述的晶片結構設計，可以降低電阻電容時間延遲的效應，同時還可以降低晶片的功率及晶片所產生的溫度。

另外，本發明之晶片結構，可以透過第二線路結構體，使得晶片結構的接點配置可以重新定位，以配合基板的設計，並且僅需使用少數用以接地的接點及用以接電源的接點，如此可以大幅簡化基板的設計。再者，若是將多種晶片透過第二線路結構體而將其接點重配置，使得不同的晶片可以具有相同的接點配置，如此可以將基板的接點配置標準化，而大幅降低基板的成本。

再者，本發明之晶片結構，由於第二線路結構體之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (5)

製程的精度要求不高，故可以使用精度等級較低的設備從事生產，以降低製造成本。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第 1 圖繪示習知半導體具有內連線的晶片結構剖面示意圖。

第 2 圖繪示依照本發明第一較佳實施例之晶片結構的立體剖面示意圖。

第 3 圖繪示依照本發明第二較佳實施例之晶片結構的剖面示意圖。

第 4 圖繪示依照本發明第三較佳實施例之晶片結構的剖面示意圖。

第 5 圖繪示依照本發明第四較佳實施例之晶片結構的剖面示意圖。

第 6 圖繪示依照本發明第五較佳實施例之晶片結構的剖面示意圖。

第 7 圖繪示依照本發明第六較佳實施例之晶片結構的剖面示意圖。

第 8 圖繪示依照本發明第七較佳實施例之晶片結構的剖面示意圖。

第 9 圖到第 15 圖繪示依照本發明一較佳實施例之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

晶片結構製程的剖面放大示意圖。

第 16 圖到第 22 圖，其繪示依照本發明另一較佳實施例之晶片結構製程的剖面放大示意圖。

圖式之標記說明：

- 110：基底
- 112：表面
- 114：電子元件
- 120：積層
- 122：介電結構體
- 124：線路結構體
- 126：焊墊
- 200：晶片結構
- 210：基底
- 212：表面
- 214：電子元件
- 220：第一積層
- 222：第一線路結構體
- 224：第一介電結構體
- 226：第一金屬層
- 227：焊墊
- 228：第一插塞
- 230：保護層
- 240：第二積層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

- 241：第二介電層
- 242：第二線路結構體
- 244：第二介電結構體
- 246：第二金屬層
- 247：接點
- 248：第二插塞
- 300：晶片結構
- 310：基底
- 312：表面
- 314：電子元件
- 316：靜電放電保護電路
- 320：第一積層
- 322：第一線路結構體
- 340：第二積層
- 342：第二線路結構體
- 344：第二介電結構體
- 346：第二金屬層
- 347：接點
- 348：第二插塞
- 200：晶片結構
- 410：基底
- 412：表面
- 414：電子元件
- 416：靜電放電保護電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (8)

- 418：過渡元件
- 420：第一積層
- 422：第一線路結構體
- 422a：第一線路
- 422b：第一過渡線路
- 440：第二積層
- 442：第二線路結構體
- 442a：第二線路
- 442b：第二過渡線路
- 447：接點
- 500：晶片結構
- 502：晶圓
- 510：基底
- 512：表面
- 514：電子元件
- 520：第一積層
- 521：介電層
- 522：第一線路結構體
- 524：第一介電結構體
- 526：第一金屬層
- 527：焊墊
- 528：第一插塞
- 530：保護層
- 532：保護層開口

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

- 540：第二積層
- 541：第二介電層
- 542：第二線路結構體
- 543：插塞開口
- 544：第二介電結構體
- 546：第二金屬層
- 547：接點
- 548：第二插塞
- 550：光阻
- 552：光阻開口
- 560：黏著層
- 570：第二介電層
- 572：接點開口
- 580：導電金屬
- 600：晶片結構
- 602：晶圓
- 627：焊墊
- 630：保護層
- 632：保護層開口
- 641：第二介電層
- 643：插塞開口
- 647：接點
- 650：光阻
- 660：黏著層

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

五、發明說明 (10)

- 670：第二介電層
- 672：接點開口
- 680：導電金屬
- 700：晶片結構
- 714：電子元件
- 716：靜電放電保護電路
- 718：過渡元件
- 722：第一線路結構體
- 722a：第一線路
- 722b：第一過渡線路
- 727a：焊墊
- 727b：焊墊
- 740：第二積層
- 746：第二金屬層
- 800：晶片結構
- 814：電子元件
- 822：第一線路結構體
- 827a：焊墊
- 827b：焊墊
- 829：焊墊間線路
- 840：第二積層
- 842：第二線路結構體
- 1520：第一積層
- 1522：第一線路結構體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(/)

1527：焊墊

1530：保護層

1542：第二線路結構體

1546：第二金屬層

1547：接點

1548：第二插塞

1622：第一線路結構體

1627：焊墊

1630：保護層

1646：第二金屬層

A1：第一金屬層之線路路徑的截面積

A2：第二金屬層之線路路徑的截面積

a: 第二插塞的截面積

d1：第一金屬層之線路路徑的寬度

d2：第二金屬層之線路路徑的寬度

t1: 第一金屬層之線路路徑的厚度

t2: 第二金屬層之線路路徑的厚度

L1: 第一介電層的厚度

L2: 第二介電層的厚度

S: 焊墊間線路的長度

實施例

在敘述本發明之較佳實施例之前，先介紹影響電阻電容時間延遲(RC delay)效應的因子及影響功率消耗的因

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

子。請參照下列之方程式：

$$= RC = 2 L [L / (T_{u.d} T_m) + L / (WS)]$$

$$P \propto 2 f V^2 k (\tan)$$

其中，：電阻電容時間延遲效應

P：功率消耗

：介電材質的介電常數

：金屬導線的電阻係數

L：金屬導線的長度

W：金屬導線的寬度

S：金屬導線的間距

$T_{u.d}$ ：介電薄膜厚度

T_m ：金屬導線厚度，

\tan ：介電損耗

V：外加電壓

f：頻率

k：電容結構因子

由上述的方程式可知，影響電阻電容時間延遲效應的因子及影響功率消耗的因子。故藉由增加每一介電層的厚度、採用低介電常數之介電材質及低電阻係數的金屬導線，並且同時增加金屬導線的寬度及厚度，如此可以降低電阻電容時間延遲效應及晶片功率的消耗。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (13)

本發明係透過上述之電路設計理念，來針對晶片結構作改良。請參照第 2 圖，其繪示依照本發明一較佳實施例之晶片結構的立體剖面示意圖。晶片結構 200 具有一基底 210、一第一積層 220、一保護層 230、一第二積層 240。其中基底 210 比如是矽基底，而基底 210 具有多個電子元件 214，比如是電晶體，其配置在基底 210 的一表面 212 上。第一積層 220 係配置在基底 210 上，而第一積層 220 係由多層第一金屬層 226(僅繪示其中的一個)及多層第一介電層交互疊合而成，並透過多個第一插塞 228(vias)使上、下層之第一金屬層 226 電性連接，或者使第一金屬層 226 與電子元件 214 電性連接，而第一金屬層 226 及第一插塞 228 構成一第一線路結構體 222，多層第一介電層構成一第一介電結構體 224，第一線路結構體 222 係交錯於第一介電結構體 224 中，並且第一線路結構體 222 與電子元件 214 電性連接。而第一線路結構體 222 包括多個焊墊 227(僅繪示其中的一個)，暴露於第一介電結構體 224 之外，而透過焊墊 227 可以使第一線路結構體 222 與其他電路電性連接。第一介電結構體 224 之材質可以是無機化合物，比如氧矽化合物或氮矽化合物，而第一線路結構體 222 之材質可以包括銅、鋁或鎢，其中若是利用銅製程所製作的第一線路結構體 222，可以利用銅作為第一線路結構體 222 之第一金屬層 226 及第一插塞 228；而若是利用一般製程所製作的第一線路結構體 222，可以利用鋁作為第一線路結構體 222 之第一金屬層 226，及利用鎢作為第一線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

路結構體 222 之第一插塞 228。

保護層 230 係位在第一積層 220 上，並且保護層 230 會暴露出焊墊 227。而保護層 230 係為無機化合物，比如是氧矽化合物、氮矽化合物、磷矽玻璃(PSG)、氧氮矽化合物、或是上述材質所組成的複合層等。

第二積層 240 係配置在保護層 230 上，而第二積層 240 係由多層第二金屬層 246 及多層第二介電層 241 交互疊合而成，並透過多個第二插塞 248 使上、下層之第二金屬層 246 電性連接，或者使第二金屬層 246 與焊墊 227 電性連接，而第二金屬層 246 及第二插塞 248 構成一第二線路結構體 242，多層第二介電層 241 構成一第二介電結構體 244，第二線路結構體 242 係交錯於第二介電結構體 244 中，並且第二線路結構體 242 與焊墊 227 電性連接。而第二線路結構體 242 包括多個接點 247，而第二介電結構體 244 具有多個開口 249，以暴露出第二線路結構體 242 之接點 247，如此透過接點 247 可以使第二線路結構體 242 與外界電路電性連接。第二介電結構體 244 之材質可以是有機化合物，比如是聚醯亞胺(polyimide, PI)、苯基環丁烯(benzocyclobutene, BCB)、多孔性介電材質、聚亞芳香基醚(parylene)或彈性體等之高分子聚合物，而第二線路結構體 242 之材質可以包括銅、鋁、金、鎳、鈦鎢合金、鈦或鉻等。由於第二積層 240 係形成在保護層 230 上，因此第二介電結構體 244 中的移動離子(mobile ions)及濕氣並不會滲入到第一積層 220 及電子元件 214 中，故在保護層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (15)

230 上形成有機化合物或各種過渡金屬是可行的。其中第二金屬層 246 之線路路徑的截面積 A2 係大於第一金屬層 226 之線路路徑的截面積 A1 及第一插塞 228 的截面積，並且第二插塞 248 的截面積 a 亦大於第一金屬層 226 之線路路徑的截面積 A1 及第一插塞 228 的截面積。第二金屬層 246 之線路路徑的寬度 d2 係大於第一金屬層 226 之線路路徑的寬度 d1；第二金屬層 246 之線路路徑的厚度 t2 係大於第一金屬層 226 之線路路徑的厚度 t1。而第二金屬層 246 之線路路徑的寬度 d2 係大於 1 微米，在較佳的情況下係介於 1 微米到 1 公分之間。第二金屬層 246 之線路路徑的厚度 t2 係大於 1 微米，在較佳的情況下係介於 1 微米到 50 微米之間。第二金屬層 246 之線路路徑的截面積 A2 係介於 1 平方微米到 0.5 平方公厘之間。而每一第二介電層 241 的厚度 L2 係相當程度地大於第一積層 220 之每一第一介電層的厚度 L1。另外，第二插塞 248 之截面積 a 比如係界於 1 平方微米到 10,000 平方微米之間。此外，每一第二介電層 241 的厚度 L2 比如是介於 1 微米到 100 微米之間。由於第二線路結構體之製程的精度要求不高，故可以使用精度等級較低的設備從事生產，以降低製造成本。而第二插塞 248 之截面積 a 係大於焊墊 227 暴露於保護層 230 外的面積。

由於第二線路結構體 242 之第二金屬層 246 的線路路徑截面積甚大、寬度甚寬、厚度夠厚，且第二插塞 248 的截面積亦甚大，同時可以使用低電阻的材質作為第二線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

路結構體 242 的主要導電材質，比如是銅或金，並且第二介電結構體 244 之材質可以是有機化合物，而其介電常數甚低，約為 1~3 之間，其數據依採用的材質之不同而不同，而第二介電層 241 的厚度 L2 亦甚厚。因此藉由上述的晶片結構設計，可以降低電阻電容時間延遲的效應，同時還可以降低晶片的功率及晶片所產生的溫度。

再者，第二積層 240 之第二線路結構體 242 的路徑寬度甚寬、厚度甚厚，且第二插塞 248 的截面積亦甚大，因此就製程上而言，精度並不需太精確，利用電鍍、無電電鍍或濺鍍的方式便可以製造完成，而利用上述方式所製造的第二線路結構體 242，其成本並不高。並且在製作本發明之第二積層時，其潔淨室的要求並不需太高，僅需等級 10 到等級 100 之間(Class 10 ~ Class 100)即可，大幅降低潔淨室的建構成本。

本發明可以透過第二線路結構體 242，使得晶片結構的接點 247 配置可以重新定位，以配合基板的設計，並且僅需使用少數用以接地的接點及用以接電源的接點，如此可以大幅簡化基板的設計。再者，若是將多種晶片透過第二線路結構體 242 而將其接點 247 重配置，使得不同的晶片可以具有相同的接點配置(layout)，如此可以將基板的接點配置(layout)標準化，而大幅降低基板的成本。

接下來，敘述本發明之較佳應用情境，由於多個電子元件均會與提供相同電壓值的電源匯流排(power bus)電性連接，及接地匯流排(ground bus)電性連接，因此電源匯

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

流排及接地匯流排會流經甚大的電流，故可以將第二積層之第二線路結構體設計成電源匯流排及接地匯流排，如第 3 圖所示，其繪示依照本發明第二較佳實施例之晶片結構的剖面示意圖。第二積層 340 之第二線路結構體 342 可以透過第一積層 320 之第一線路結構體 322 與電子元件 314 及靜電放電(electrical static discharge, ESD)保護電路 316(僅繪示其中的一個)電性連接，其中靜電放電保護電路 316 係配置在基底 310 的表面 312 上，故若將第二線路結構體 342 設計成電源匯流排，則第二線路結構體 342 會與電子元件 314 之電源端電性連接；若將第二線路結構體 342 設計成接地匯流排，則第二線路結構體 342 會與電子元件 314 之接地端電性連接。藉由上述的設計，每一條電源匯流排或接地匯流排可以連接更多的電子元件，故電源匯流排或接地匯流排的總數目會減少，相對地，伴隨電源匯流排或接地匯流排而設計的靜電放電保護電路 316 之數目亦會減少，且伴隨電源匯流排或接地匯流排而設計的接點 347 之數目亦會減少，因而可以簡化電路的佈局，降低成本。並且，藉由靜電放電保護電路 316 可以防止與第二介電結構體 344 連接的電子元件 314 受到突然而來的高電壓的放電損毀。另外，透過接點 347，可以利用覆晶的方式或打線的方式與外界電路電性連接。

請參照第 4 圖，其繪示依照本發明第三較佳實施例之晶片結構的剖面示意圖。前述之較佳實施例中基底之表面的表層係包括多個電子元件以及多個靜電放電保護電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

路，然而此表層結構並非侷限於上述的方式，其結構亦可以如下所述。

如第 4 圖所示，基底 410 之表面 412 的表層具有多個電子元件 414、多個靜電放電保護電路 416(僅繪示其中的一個)、多個過渡元件 418(僅繪示其中的一個)，過渡元件 418 可以是驅動器(Driver)、接收器(Receiver)或輸入輸出電路(I/O circuits)等。第一線路結構體 422 可以分成第一線路 422a 及第一過渡線路 422b，而第二線路結構體 442 可以分成第二線路 442a 及第二過渡線路 442b，藉由第一過渡線路 422b 以及第二過渡線路 442b 的電性傳導，使接點 447 可以與過渡元件 418、靜電放電保護電路 416 電性連通，再經由過渡元件 418 銜接至第一線路 422a 以及第二線路 442a，而與電子元件 414 電性連接，此種電路設計比如是傳輸時脈訊號。如此之電路設計同樣可以避免靜電放電損傷元件 414，藉由靜電放電保護電路 416 可以避免人體或其他帶電體接觸到晶片時，向晶片放電而造成晶片失效。另外，透過接點 447，可以利用覆晶的方式或打線的方式與外界電路電性連接。

請參照第 5 圖，其繪示依照本發明第四較佳實施例之晶片結構的剖面示意圖。其中，第二線路結構體 1542 之第二金屬層 1546 係直接形成在保護層 1530 上，使得第二線路結構體 1542 之第二金屬層 1546 能夠直接與第一線路結構體 1522 暴露於保護層 1530 外的焊墊 1527 電性連接。而透過接點 1547，可以利用覆晶的方式或打線的方式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

與外界電路電性連接。

在前述的較佳實施例中，第二積層係由第二介電結構體及第二線路結構體所構成。然而，第二積層亦可以僅由第二線路結構體所構成，如第 6 圖所示，其繪示依照本發明第五較佳實施例之晶片結構的剖面示意圖。其中，第二線路結構體之第二金屬層 1646 係直接形成在保護層 1630 上，並且與第一線路結構體 1622 的焊墊 1627 電性連接，而第二金屬層 1646 係暴露於外。其中，可以利用打線的方式，將導線打在第二金屬層 1646 上，而可以與外界電路電性連接。

在上述的結構中，凸塊或導線係直接與第二線路結構體電性連接，然而本發明的應用並非侷限於上述的實施例，亦可以將凸塊或導線直接連接到焊墊上，再透過第一線路結構體而與第二線路結構體電性連接，如第 7 圖及第 8 圖所示，其中第 7 圖繪示依照本發明第六較佳實施例之晶片結構的剖面示意圖，第 8 圖繪示依照本發明第七較佳實施例之晶片結構的剖面示意圖。

請參照第 7 圖，在晶片結構 700 中，焊墊 727a 係暴露於外，而焊墊 727b 係與第二金屬層 746 電性連接。此時，可以利用打線的方式，將導線(未繪示)打在焊墊 727a 上而與外界電路電性連接，其中透過第一過渡線路 722b 會使焊墊 727a 分別與靜電放電保護電路 716 及過渡元件 718 電性連接，而透過第一線路 722a、焊墊 727b 及第二金屬層 746 會使過渡元件 718 與電子元件 714 電性連接。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

另外，亦可以形成凸塊(未繪示)在焊墊 727a 上而與外界電路電性連接。

請參照第 8 圖，在晶片結構 800 中，焊墊 827a 係暴露於外，而焊墊 827b 係與第二線路結構體 842 電性連接，而藉由焊墊間線路 829 會使焊墊 827a 及焊墊 827b 電性連接。此時，可以利用打線的方式，將導線(未繪示)打在焊墊 827a 上而與外界電路電性連接，再透過焊墊間線路 829 及焊墊 827b 會使焊墊 827a 與第二線路結構體 842 電性連接，再藉由第一線路結構體 822 會使第二線路結構體 842 與電子元件 814 電性連接。另外，亦可以形成凸塊(未繪示)在焊墊 827a 上而與外界電路電性連接。此時，焊墊間線路 829 的長度 S 要愈小愈好，否則依然會有電阻電容延遲及壓降的效應發生，而降低晶片效能，在較佳的情況下，其焊墊間線路 829 的長度 S 要小於 500 微米。

接下來，敘述本發明之第二積層的製作方法。請參照第 9 圖到第 15 圖，其繪示依照本發明一較佳實施例之晶片結構製程的剖面放大示意圖。

請先參照第 9 圖，首先提供一晶圓 502，其係由一基底 510、一第一積層 520 及一保護層 530 所構成。而基底 510 具有至少一電子元件 514，配置在基底 510 之一表面 512 上。第一積層 520 係形成在基底 510 上，第一積層 520 包括一第一線路結構體 522 及一第一介電結構體 524，第一線路結構體 522 係交錯於第一介電結構體 524 中。第一介電結構體 524 係由多個第一介電層 521 疊合而成，而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

第一線路結構體 522 包括多個第一金屬層 526 及多個第一插塞 528，透過第一插塞 528 可以使第一金屬層 526 與電子元件 514 電性連接，亦可以使相鄰之第一金屬層 526 電性連接，而第一線路結構體 522 還包括有至少一焊墊 527，位在第一積層 520 之表層。保護層 530 係形成在第一積層 520 上，而保護層 530 具有至少一保護層開口 532，以暴露出焊墊 527，其中保護層開口 532 的最大寬度比如是介於 0.5 微米到 200 微米之間。

接下來，以旋塗的方式形成一第二介電層 541 到保護層 530 上，而第二介電層 541 比如是感光性的有機材質，然後透過微影製程，而形成至少一插塞開口 543，以暴露出焊墊 527，其中若是保護層開口 532 的寬度甚小時，比如是 1 微米，其插塞開口 543 的寬度可以設計成比保護層開口 532 的寬度大，如此在接下來的填入金屬製程時，導電金屬較容易填入到插塞開口 543 及保護層開口 532 中，而插塞開口 543 的寬度比如是 3 微米或更大的尺寸。

請參照第 10 圖，接下來以濺鍍的方式，形成一黏著層 560 到第二介電層 541 上、插塞開口 543 的側壁上、插塞開口 543 中的保護層 530 及焊墊 527 上。其黏著層 560 的材質比如是鈦鎢合金、鈦或鉻等。接著形成一光阻 550 到黏著層 560 上，然後透過曝光、顯影等步驟，使得在欲製作第二金屬層之處，形成光阻開口 552，其中光阻開口 552 貫透光阻 550，以暴露出黏著層 560，而形成如第 11 圖所示的結構。請參照第 12 圖，然後以電鍍的方式，填

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

入至少一導電金屬 580 到插塞開口 543 及光阻開口 552 中，而導電金屬 580 係位在黏著層 560 上，其中導電金屬 580 比如包括銅、鎳、金或鋁等。接著便將光阻 550 去除，而形成如第 13 圖所示的結構。

接下來，便將暴露於外的黏著層 560 去除，而僅殘留位在導電金屬 580 下的黏著層 560，形成如第 14 圖所示的結構。請參照第 15 圖，接著再以旋塗的方式，形成另一第二介電層 570 到導電金屬 580 上及位在底部的第二介電層 541 上，而此新形成位在頂部的第二介電層 570 亦可以是感光材質，接著再透過微影的製程，而使位在頂部的第二介電層 570 形成一接點開口 572，以暴露出導電金屬 580，暴露出的導電金屬 580 係定義成接點 547，透過接點 547，晶片結構 500 可以與外界電路電性連接。如此第二積層 540 便製作完成，第二積層 540 包括一第二線路結構體 542 及一第二介電結構體 544，第二線路結構體 542 係交錯於第二介電結構體 544 中，第二線路結構體 542 包括至少一第二金屬層 546 及至少一第二插塞 548，而第二插塞 548 係由位在插塞開口 543 中的導電金屬 580 及黏著層 560 所構成，第二金屬層 546 係由位在插塞開口 543 外及位在第二介電層 541 上的導電金屬 580 及黏著層 560 所構成，並且透過第二插塞 548 可以使第二金屬層 546 與焊墊 527 電性連接。並且，當保護層開口 532 的截面積過小時，可以將第二插塞 548 的截面積設計成大於保護層開口 532 的截面積。而第二介電結構體 544 係由多層第二介電層

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(23)

541、570 疊合而成，其中任一第二介電層 541、570 的厚度 L2 係相當程度地大於任一第一介電層 521 的厚度 L1，而第二介電層 541、570 的厚度係介於 1 微米到 100 微米之間。其詳細的第二積層內部結構、材質及尺寸，在前述之較佳實施例中亦有詳盡的描述，在此便不再贅述。

此外，本發明之晶片結構亦可以是透過其他的製程所形成，如下所述。請參照第 16 圖到第 22 圖，其繪示依照本發明另一較佳實施例之晶片結構製程的剖面放大示意圖。

請先參照第 16 圖，首先提供一晶圓 602，其晶圓 602 的內部結構如前所述，在此便不再贅述。接下來，以旋塗的方式形成一第二介電層 641 到晶圓 602 之保護層 630 上，而第二介電層 641 比如是感光性的有機材質，然後透過微影製程，而形成至少一插塞開口 643，以暴露出焊墊 627，其中若是保護層開口 632 的最大寬度甚小時，其插塞開口 643 的最大寬度可以設計成比保護層開口 632 的最大寬度大，如此在接下來的填入金屬製程時，導電金屬才較容易填入到插塞開口 643 中。

請參照第 17 圖，接下來以濺鍍的方式，形成一黏著層 660 到第二介電層 641 上、插塞開口 643 的側壁上、插塞開口 643 中的保護層 630 及焊墊 627 上。其黏著層 660 的材質比如是鈦鎢合金、鈦或鉻等。

請參照第 18 圖，接著以電鍍或濺鍍的方式，形成至少一導電金屬 680 到插塞開口 643 中及黏著層 660 上，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

其中導電金屬 680 比如包括銅、鎳、金或鋁等。接著形成一光阻 650 到導電金屬 680 上，然後透過曝光、顯影等步驟，使得光阻 650 定義出一線路圖案，而光阻 650 僅殘留在欲製作第二金屬層之處，而不欲製作成第二金屬層之導電金屬 680 會暴露於外，形成如第 19 圖所示的結構。接著，透過蝕刻的方式，將暴露於光阻 650 外的導電金屬 680 去除，然後再透過蝕刻的方式，將暴露於導電金屬 680 外的黏著層 660 去除，而形成如第 20 圖所示的結構。接下來，將光阻 650 去除，而形成如第 21 圖所示的結構。

請參照第 22 圖，接著再以旋塗的方式，形成另一第二介電層 670 到導電金屬 680 上及位在底部的第二介電層 641 上，而此新形成位在頂部的第二介電層 670 亦可以是感光材質，接著再透過微影的製程，而使位在頂部的第二介電層 670 形成一接點開口 672，以暴露出導電金屬 680，暴露出的導電金屬 680 係定義成接點 647，透過接點 647，晶片結構 600 可以與外界電路電性連接。其詳細的第二積層 640 內部結構、材質及尺寸，在前述之較佳實施例中亦有詳盡的描述，在此便不再贅述。

而上述之製程，亦可以應用在多層的導電金屬中，在此便不再贅述。

綜上所述，本發明至少具有下列優點：

1. 本發明之晶片結構及其製程，由於第二線路結構體之第二金屬層的線路路徑截面積甚大、寬度甚寬、厚度夠厚，且第二插塞的截面積亦甚大，同時可以使用低電阻

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (ㄣ)

的材質作為第二線路結構體的主要導電材質，比如是銅或金，並且第二介電結構體之材質可以是有機化合物，厚度比較厚，而其介電常數甚低，約為 1~3 之間，其數據依採用的材質之不同而不同。因此藉由上述的晶片結構設計，可以降低電阻電容時間延遲的效應，同時還可以降低晶片的功率及晶片所產生的溫度。

2.本發明之晶片結構及其製程，每一條電源匯流排或接地匯流排可以連接更多的電子元件，故電源匯流排或接地匯流排的總數目會減少，故伴隨電源匯流排或接地匯流排而設計的靜電放電保護電路之數目亦會減少，伴隨電源匯流排或接地匯流排而設計的接點之數目亦會減少，因而可以簡化電路的佈局，降低成本。並且，藉由靜電放電保護電路可以防止與第二介電結構體連接的電子元件受到突然而來的高電壓的放電損毀。

3.本發明之晶片結構及其製程，可以透過第二線路結構體，使得晶片結構的接點配置可以重新定位，以配合基板的設計，並且透過整合接地點或接電源點，使與基板間僅需使用少數用以接地的接點及用以接電源的接點，如此可以大幅簡化基板的設計。再者，若是將多種晶片透過第二線路結構體而將其接點重配置，使得不同的晶片可以具有相同的接點配置，如此可以將基板的接點配置標準化，而大幅降低基板的成本。

4.本發明之晶片結構及其製程，由於第二線路結構體之製程的精度要求不高，故可以使用精度等級較低的設

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(26)

備從事生產，以降低製造成本。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之隔離範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

1.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括一介電結構體及一第一線路結構體，該第一線路結構體係交錯於該第一積層之該介電結構體中，而該第一線路結構體與該些電子元件電性連接；

一保護層，配置在該第一積層上，該保護層具有至少一保護層開口，以暴露出該第一線路結構體；以及

一第二積層，配置在該保護層上，該第二積層至少包括一第二線路結構體，透過該保護層開口，該第二線路結構體與該第一線路結構體電性連接，其中該第二線路結構體之路徑厚度係大於該第一線路結構體之路徑厚度，而訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

2.如申請專利範圍第 1 項所述之晶片結構，其中該第二線路結構體之路徑厚度係界於 1 微米到 50 微米之間。

3.如申請專利範圍第 1 項所述之晶片結構，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

4.如申請專利範圍第 1 項所述之晶片結構，其中該

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

第二積層還具有一介電結構體，而該第二線路結構體係交錯於該第二積層之該介電結構體中。

5.如申請專利範圍第 4 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

6.如申請專利範圍第 1 項所述之晶片結構，其中該第二線路結構體包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，透過該保護層開口，該插塞與該第一線路結構體電性連接，並且該插塞的截面積係大於該保護層開口的截面積。

7.如申請專利範圍第 1 項所述之晶片結構，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

8.如申請專利範圍第 1 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

9.如申請專利範圍第 1 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

10.如申請專利範圍第 9 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

的族群中之一種元件。

11.如申請專利範圍第 1 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該保護層暴露出該第一焊墊及該第二焊墊，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

12.如申請專利範圍第 11 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

13.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括一介電結構體及一第一線路結構體，該第一線路結構體係交錯於該第一積層之該介電結構體中，而該第一線路結構體與該些電子元件電性連接；

一保護層，配置在該第一積層上，該保護層具有至少一保護層開口，以暴露出該第一線路結構體；以及

一第二積層，配置在該保護層上，該第二積層至少包括一第二線路結構體，透過該保護層開口，該第二線路結構體與該第一線路結構體電性連接，其中該第二線路結構體之路徑寬度係大於該第一線路結構體之路徑寬度，而訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

而傳輸至其他的該些電子元件。

14.如申請專利範圍第 13 項所述之晶片結構，其中該第二線路結構體之路徑寬度係界於 1 微米到 1 公分之間。

15.如申請專利範圍第 13 項所述之晶片結構，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

16.如申請專利範圍第 13 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該第二線路結構體係交錯於該第二積層之該介電結構體中。

17.如申請專利範圍第 16 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

18.如申請專利範圍第 13 項所述之晶片結構，其中該第二線路結構體包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，透過該保護層開口，該插塞與該第一線路結構體電性連接，並且該插塞的截面積係大於該保護層開口的截面積。

19.如申請專利範圍第 13 項所述之晶片結構，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

20.如申請專利範圍第 13 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

靜電放電保護電路與該第一線路結構體電性連接。

21.如申請專利範圍第 13 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

22.如申請專利範圍第 21 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中之一種元件。

23.如申請專利範圍第 13 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該保護層暴露出該第一焊墊及該第二焊墊，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

24.如申請專利範圍第 23 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

25.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括一介電結構體及一第一線路結構體，該第一線路結構體係交錯

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

於該第一積層之該介電結構體中，而該第一線路結構體與該些電子元件電性連接；

一保護層，配置在該第一積層上，該保護層具有至少一保護層開口，以暴露出該第一線路結構體；以及

一第二積層，配置在該保護層上，該第二積層至少包括一第二線路結構體，透過該保護層開口，該第二線路結構體與該第一線路結構體電性連接，其中該第二線路結構體之路徑截面積係大於該第一線路結構體之路徑截面積，而訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

26.如申請專利範圍第 25 項所述之晶片結構，其中該第二線路結構體之路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

27.如申請專利範圍第 25 項所述之晶片結構，其中該保護層的材質係選自於由氮矽化合物、氧矽化合物、磷矽玻璃、該等之部份組合及該等之全部組合所組成之族群中的一種化合物。

28.如申請專利範圍第 25 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該第二線路結構體係交錯於該第二積層之該介電結構體中。

29.如申請專利範圍第 28 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞胺、

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

30.如申請專利範圍第 25 項所述之晶片結構，其中該第二線路結構體包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，透過該保護層開口，該插塞與該第一線路結構體電性連接，並且該插塞的截面積係大於該保護層開口的截面積。

31.如申請專利範圍第 25 項所述之晶片結構，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

32.如申請專利範圍第 25 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

33.如申請專利範圍第 25 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

34.如申請專利範圍第 33 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中的一種元件。

35.如申請專利範圍第 25 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

墊，該保護層暴露出該第一焊墊及該第二焊墊，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

36.如申請專利範圍第 35 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

37.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括第一一介電結構體及一第一線路結構體，該第一線路結構體係交錯於該第一介電結構體中，而該第一線路結構體與該些電子元件電性連接，該第一線路結構體係由複數個第一金屬層及複數個第一插塞所構成，藉由該些第一插塞使相鄰的該些第一金屬層電性連接；

一保護層，配置在該第一積層上，該保護層具有至少一保護層開口，以暴露出該第一線路結構體；以及

一第二積層，配置在該保護層上，該第二積層包括一第二介電結構體及一第二線路結構體，該第二線路結構體係交錯於該第二介電結構體中，透過該保護層開口，該第二線路結構體與該第一線路結構體電性連接，該第二線路結構體係由至少一第二金屬層及至少一第二插塞所構成，該第二插塞係與該第二金屬層電性連接，其中該第二插塞之截面積係大於該些第一插塞之截面積，而訊號的傳

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

輸可以從該些電子元件之一，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

38.如申請專利範圍第 37 項所述之晶片結構，其中該第二插塞之截面積係界於 1 平方微米到 10,000 平方微米之間。

39.如申請專利範圍第 37 項所述之晶片結構，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

40.如申請專利範圍第 37 項所述之晶片結構，其中該第二介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

41.如申請專利範圍第 37 項所述之晶片結構，其中該第二插塞的截面積係大於該保護層開口的截面積。

42.如申請專利範圍第 37 項所述之晶片結構，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

43.如申請專利範圍第 37 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

44.如申請專利範圍第 37 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

45.如申請專利範圍第 44 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中的一種元件。

46.如申請專利範圍第 37 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該保護層暴露出該第一焊墊及該第二焊墊，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

47.如申請專利範圍第 46 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

48.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括第一一介電結構體及第一線路結構體，該第一線路結構體係交錯於該第一介電結構體中，該第一線路結構體與該些電子元件電性連接，而該第一介電結構體係由至少一第一介電層所構成；

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

一保護層，配置在該第一積層上，該保護層具有至少一保護層開口，以暴露出該第一線路結構體；以及

一第二積層，配置在該保護層上，該第二積層包括一第二介電結構體及一第二線路結構體，該第二線路結構體係交錯於該第二介電結構體中，透過該保護層開口，該第二線路結構體與該第一線路結構體電性連接，該第二介電結構體係由至少一第二介電層所構成，其中該第二介電層之厚度係大於該第一介電層之厚度，而訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

49.如申請專利範圍第 48 項所述之晶片結構，其中該第二介電層之厚度係介於 1 微米到 100 微米之間。

50.如申請專利範圍第 48 項所述之晶片結構，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

51.如申請專利範圍第 48 項所述之晶片結構，其中該第二介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

52.如申請專利範圍第 48 項所述之晶片結構，其中該第二線路結構體包括至少一金屬層及至少一插塞，該金

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

屬層與該插塞電性連接，透過該保護層開口，該插塞與該第一線路結構體電性連接，並且該插塞的截面積係大於該保護層開口的截面積。

53.如申請專利範圍第 48 項所述之晶片結構，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

54.如申請專利範圍第 48 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

55.如申請專利範圍第 48 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

56.如申請專利範圍第 55 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中之一種元件。

57.如申請專利範圍第 48 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該保護層暴露出該第一焊墊及該第二焊墊，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

58.如申請專利範圍第 57 項所述之晶片結構，其中

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

59.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括一介電結構體及一第一線路結構體，該第一線路結構體係交錯於該第一積層之該介電結構體中，而該第一線路結構體與該些電子元件電性連接；以及

一第二積層，配置在該第一積層上，該第二積層至少包括一第二線路結構體，該第二線路結構體與該第一線路結構體電性連接，該第二線路結構體之路徑厚度係大於 1 微米，其中訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

60.如申請專利範圍第 59 項所述之晶片結構，其中該第二線路結構體之路徑厚度係界於 1 微米到 50 微米之間。

61.如申請專利範圍第 59 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該第二線路結構體係交錯於該第二積層之該介電結構體中。

62.如申請專利範圍第 61 項所述之晶片結構，其中該第二積層之該介電結構體係為有機化合物。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

63.如申請專利範圍第 61 項所述之晶片結構，其中該第二積層之該介電結構體係為高分子聚合物。

64.如申請專利範圍第 61 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

65.如申請專利範圍第 59 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

66.如申請專利範圍第 59 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

67.如申請專利範圍第 66 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中的一種元件。

68.如申請專利範圍第 59 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該第一焊墊及該第二焊墊暴露出該第一積層，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

69.如申請專利範圍第 68 項所述之晶片結構，其中

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

70.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括第一介電結構體及一第一線路結構體，該第一線路結構體係交錯於該第一介電結構體中，而該第一線路結構體與該些電子元件電性連接；以及

一第二積層，配置在該第一積層上，該第二積層至少包括一第二線路結構體，該第二線路結構體與該第一線路結構體電性連接，該第二線路結構體之路徑寬度係大於 1 微米，其中訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

71.如申請專利範圍第 70 項所述之晶片結構，其中該第二線路結構體之路徑寬度係界於 1 微米到 1 公分之間。

72.如申請專利範圍第 70 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該第二線路結構體係交錯於該第二積層之該介電結構體中。

73.如申請專利範圍第 72 項所述之晶片結構，其中該第二積層之該介電結構體係為有機化合物。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

74.如申請專利範圍第 72 項所述之晶片結構，其中該第二積層之該介電結構體係為高分子聚合物。

75.如申請專利範圍第 72 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚鹽亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

76.如申請專利範圍第 70 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

77.如申請專利範圍第 70 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

78.如申請專利範圍第 77 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中之一種元件。

79.如申請專利範圍第 70 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該第一焊墊及該第二焊墊暴露出該第一積層，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

80.如申請專利範圍第 79 項所述之晶片結構，其中

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

81.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括第一一介電結構體及一第一線路結構體，該第一線路結構體係交錯於該第一介電結構體中，而該第一線路結構體與該些電子元件電性連接；以及

一第二積層，配置在該第一積層上，該第二積層至少包括一第二線路結構體，該第二線路結構體與該第一線路結構體電性連接，該第二線路結構體之路徑截面積係大於 1 平方微米，其中訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

82.如申請專利範圍第 81 項所述之晶片結構，其中該第二線路結構體之路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

83.如申請專利範圍第 81 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該第二線路結構體係交錯於該第二積層之該介電結構體中。

84.如申請專利範圍第 83 項所述之晶片結構，其中該第二積層之該介電結構體係為有機化合物。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

85.如申請專利範圍第 83 項所述之晶片結構，其中該第二積層之該介電結構體係為高分子聚合物。

86.如申請專利範圍第 83 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

87.如申請專利範圍第 81 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

88.如申請專利範圍第 81 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

89.如申請專利範圍第 88 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中的一種元件。

90.如申請專利範圍第 81 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該第一焊墊及該第二焊墊暴露出該第一積層，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

91.如申請專利範圍第 90 項所述之晶片結構，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

92.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括第一介電結構體及第一線路結構體，該第一線路結構體係交錯於該第一介電結構體中，而該第一線路結構體與該些電子元件電性連接；以及

一第二積層，配置在該第一積層上，該第二積層包括一第二介電結構體及一第二線路結構體，該第二線路結構體係交錯於該第二介電結構體中，該第二線路結構體與該第一線路結構體電性連接，該第二線路結構體係由至少一金屬層及至少一插塞所構成，該插塞係與該金屬層電性連接，該插塞之截面積係大於 1 平方微米，其中訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

93.如申請專利範圍第 92 項所述之晶片結構，其中該插塞之截面積係界於 1 平方微米到 10,000 平方微米之間。

94.如申請專利範圍第 92 項所述之晶片結構，其中該第二介電結構體係為有機化合物。

95.如申請專利範圍第 92 項所述之晶片結構，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

該第二介電結構體係為高分子聚合物。

96.如申請專利範圍第 92 項所述之晶片結構，其中該第二介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

97.如申請專利範圍第 92 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

98.如申請專利範圍第 92 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

99.如申請專利範圍第 98 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中之一種元件。

100.如申請專利範圍第 92 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該第一焊墊及該第二焊墊暴露出該第一積層，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

101.如申請專利範圍第 100 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

102.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括第一介電結構體及第一線路結構體，該第一線路結構體係交錯於該第一介電結構體中，該第一線路結構體與該些電子元件電性連接；以及

一第二積層，配置在該第一積層上，該第二積層包括第二介電結構體及第二線路結構體，該第二線路結構體係交錯於該第二介電結構體中，該第二線路結構體與該第一線路結構體電性連接，該第二介電結構體係由至少一第二介電層所構成，其中該第二介電層之厚度係大於 1 微米，而訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

103.如申請專利範圍第 102 項所述之晶片結構，其中該第二介電層之厚度係介於 1 微米到 100 微米之間。

104.如申請專利範圍第 102 項所述之晶片結構，其中該第二介電結構體係為有機化合物。

105.如申請專利範圍第 102 項所述之晶片結構，其中該第二介電結構體係為高分子聚合物。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

106.如申請專利範圍第 102 項所述之晶片結構，其中該第二介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

107.如申請專利範圍第 102 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

108.如申請專利範圍第 102 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

109.如申請專利範圍第 108 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中之一種元件。

110.如申請專利範圍第 102 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該第一焊墊及該第二焊墊暴露出該第一積層，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

111.如申請專利範圍第 110 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

米。

112.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括一介電結構體及一第一線路結構體，該第一線路結構體係交錯於該第一積層之該介電結構體中，而該第一線路結構體與該些電子元件電性連接，該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，位在該第一積層的表層，其中該第一焊墊係暴露於外；以及

一第二積層，配置在該第一積層上，該第二積層至少包括一第二線路結構體，而透過該第二焊墊，該第二線路結構體與該第一線路結構體電性連接。

113.如申請專利範圍第 112 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該第二線路結構體係交錯於該第二積層之該介電結構體中。

114.如申請專利範圍第 113 項所述之晶片結構，其中該第二積層之該介電結構體係為有機化合物。

115.如申請專利範圍第 113 項所述之晶片結構，其中該第二積層之該介電結構體係為高分子聚合物。

116.如申請專利範圍第 113 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

117.如申請專利範圍第 112 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該第一線路結構體電性連接。

118.如申請專利範圍第 112 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

119.如申請專利範圍第 118 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中之一種元件。

120.如申請專利範圍第 112 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

121.如申請專利範圍第 112 項所述之晶片結構，其中該第二線路結構體之路徑厚度係大於該第一線路結構體之路徑厚度。

122.如申請專利範圍第 112 項所述之晶片結構，其中該第二線路結構體之路徑厚度係界於 1 微米到 50 微米之間。

123.如申請專利範圍第 112 項所述之晶片結構，其中該第二線路結構體之路徑寬度係大於該第一線路結構體

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

之路徑寬度。

124.如申請專利範圍第 112 項所述之晶片結構，其中該第二線路結構體之路徑寬度係界於 1 微米到 1 公分之間。

125.如申請專利範圍第 112 項所述之晶片結構，其中該第二線路結構體之路徑截面積係大於該第一線路結構體之路徑截面積。

126.如申請專利範圍第 112 項所述之晶片結構，其中該第二線路結構體之路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

127.如申請專利範圍第 112 項所述之晶片結構，其中該第二線路結構體包括至少一金屬層及至少一插塞，該插塞與該金屬層電性連接，而該插塞的截面積係界於 1 平方微米到 10,000 平方微米之間。

128.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括一介電結構體及一線路結構體，該線路結構體係交錯於該第一積層之該介電結構體中，而該線路結構體與該些電子元件電性連接；

一保護層，配置在該第一積層上，該保護層具有至少一保護層開口，以暴露出該線路結構體；以及

一第二積層，配置在該保護層上，該第二積層至少

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

包括一電源匯流排，透過該保護層開口，該電源匯流排與該線路結構體電性連接。

129.如申請專利範圍第 128 項所述之晶片結構，其中該電源匯流排之路徑厚度係界於 1 微米到 50 微米之間。

130.如申請專利範圍第 128 項所述之晶片結構，其中該電源匯流排之路徑寬度係界於 1 微米到 1 公分之間。

131.如申請專利範圍第 128 項所述之晶片結構，其中該電源匯流排之路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

132.如申請專利範圍第 128 項所述之晶片結構，其中該保護層的材質係為無機化合物。

133.如申請專利範圍第 128 項所述之晶片結構，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

134.如申請專利範圍第 128 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該電源匯流排係交錯於該第二積層之該介電結構體中。

135.如申請專利範圍第 134 項所述之晶片結構，其中該第二積層之該介電結構體係為有機化合物。

136.如申請專利範圍第 134 項所述之晶片結構，其中該第二積層之該介電結構體係為高分子聚合物。

137.如申請專利範圍第 134 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

138.如申請專利範圍第 134 項所述之晶片結構，其中該第二積層之該介電結構體係由至少一介電層所構成，該介電層之厚度係介於 1 微米到 100 微米之間。

139.如申請專利範圍第 128 項所述之晶片結構，其中該電源匯流排包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，並且該插塞的截面積係大於該保護層開口的截面積。

140.如申請專利範圍第 128 項所述之晶片結構，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

141.如申請專利範圍第 128 項所述之晶片結構，其中該電源匯流排包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，而該插塞之截面積係界於 1 平方微米到 10,000 平方微米之間。

142.如申請專利範圍第 128 項所述之晶片結構，其中該電源匯流排係為平面的樣式。

143.如申請專利範圍第 128 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該線路結構體電性連接。

144.如申請專利範圍第 128 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該第一焊墊及該第二焊墊暴露出該第一積層，該第二

(請先閱讀背面之注意事項再填寫本頁)

訂線

六、申請專利範圍

焊墊與該電源匯流排電性連接，該第一焊墊係暴露於外。

145.如申請專利範圍第 144 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

146.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括一介電結構體及一線路結構體，該線路結構體係交錯於該第一積層之該介電結構體中，而該線路結構體與該些電子元件電性連接；

一保護層，配置在該第一積層上，該保護層具有至少一保護層開口，以暴露出該線路結構體；以及

一第二積層，配置在該保護層上，該第二積層至少包括一接地匯流排，透過該保護層開口，該接地匯流排與該線路結構體電性連接。

147.如申請專利範圍第 146 項所述之晶片結構，其中該接地匯流排之路徑厚度係界於 1 微米到 50 微米之間。

148.如申請專利範圍第 146 項所述之晶片結構，其中該接地匯流排之路徑寬度係界於 1 微米到 1 公分之間。

149.如申請專利範圍第 146 項所述之晶片結構，其中該接地匯流排之路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

150.如申請專利範圍第 146 項所述之晶片結構，其中該保護層的材質係為無機化合物。

151.如申請專利範圍第 146 項所述之晶片結構，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

152.如申請專利範圍第 146 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該接地匯流排係交錯於該第二積層之該介電結構體中。

153.如申請專利範圍第 152 項所述之晶片結構，其中該第二積層之該介電結構體係為有機化合物。

154.如申請專利範圍第 152 項所述之晶片結構，其中該第二積層之該介電結構體係為高分子聚合物。

155.如申請專利範圍第 152 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

156.如申請專利範圍第 152 項所述之晶片結構，其中該第二積層之該介電結構體係由至少一介電層所構成，該介電層之厚度係介於 1 微米到 100 微米之間。

157.如申請專利範圍第 146 項所述之晶片結構，其中該接地匯流排包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，並且該插塞的截面積係大於該保護層開口的截面積。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

158.如申請專利範圍第 146 項所述之晶片結構，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

159.如申請專利範圍第 146 項所述之晶片結構，其中該接地匯流排包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，而該插塞之截面積係界於 1 平方微米到 10,000 平方微米之間。

160.如申請專利範圍第 146 項所述之晶片結構，其中該接地匯流排係為平面的樣式。

161.如申請專利範圍第 146 項所述之晶片結構，其中該些電子元件之至少一個係為靜電放電保護電路，並且該靜電放電保護電路與該線路結構體電性連接。

162.如申請專利範圍第 146 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該第一焊墊及該第二焊墊暴露出該第一積層，該第二焊墊與該接地匯流排電性連接，該第一焊墊係暴露於外。

163.如申請專利範圍第 162 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

164.一種晶片結構，包括：

一基底，包括複數個電子元件，配置在該基底之表層；

一第一積層，位在該基底上，該第一積層包括一介

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

電結構體及一第一線路結構體，該第一線路結構體係交錯於該第一積層之該介電結構體中，而該第一線路結構體與該些電子元件電性連接；

一保護層，配置在該第一積層上，該保護層具有至少一保護層開口，以暴露出該第一線路結構體；以及

一第二積層，配置在該保護層上，該第二積層至少包括一第二線路結構體，透過該保護層開口，該第二線路結構體與該第一線路結構體電性連接，而訊號的傳輸可以從該些電子元件之一，經由該第一線路結構體，穿過該保護層，到達該第二線路結構體，再經由該第二線路結構體，穿過該保護層，到達該第一線路結構體，而傳輸至其他的該些電子元件。

165.如申請專利範圍第 164 項所述之晶片結構，其中該保護層的材質係為無機化合物。

166.如申請專利範圍第 164 項所述之晶片結構，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

167.如申請專利範圍第 164 項所述之晶片結構，其中該第二積層還具有一介電結構體，而該第二線路結構體係交錯於該第二積層之該介電結構體中。

168.如申請專利範圍第 167 項所述之晶片結構，其中該第二積層之該介電結構體係為有機化合物。

169.如申請專利範圍第 167 項所述之晶片結構，其

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

中該第二積層之該介電結構體係為高分子聚合物。

170.如申請專利範圍第 167 項所述之晶片結構，其中該第二積層之該介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

171.如申請專利範圍第 164 項所述之晶片結構，其中該些電子元件之至少一個係為過渡元件，並且該過渡元件與該第一線路結構體電性連接，而訊號的傳輸可以從該過渡元件，經由該第一線路結構體，到達該第二線路結構體，再經由該第二線路結構體，到達該第一線路結構體，而傳輸至其他的該些電子元件。

172.如申請專利範圍第 171 項所述之晶片結構，其中該過渡元件係選自於由驅動器、接收器及輸出入電路所組成的族群中之一種元件。

173.如申請專利範圍第 164 項所述之晶片結構，其中該第一線路結構體包括至少一第一焊墊及至少一第二焊墊，該第一焊墊及該第二焊墊暴露出該第一積層，該第二焊墊與該第二線路結構體電性連接，該第一焊墊係暴露於外。

174.如申請專利範圍第 173 項所述之晶片結構，其中該第一線路結構體還包括至少一焊墊間線路，連接該第一焊墊及該第二焊墊，該焊墊間線路的長度係小於 500 微米。

175.一種晶片，該晶片包括一線路結構體及一保護

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

層，該線路結構體係位在該晶片內，該保護層係位在該晶片的表層，並且該保護層具有至少一保護層開口，以暴露出該線路結構體，而該保護層開口的最大寬度係介於 0.5 微米到 20 微米之間。

176.一種晶片結構，包括：

一晶片，該晶片包括一第一線路結構體及一保護層，該第一線路結構體係位在該晶片內，該保護層係位在該晶片的表層，並且該保護層具有至少一保護層開口，以暴露出該線路結構體，而該保護層開口的最大寬度係介於 0.5 微米到 20 微米之間；以及

一積層，配置在該晶片之該保護層上，並且該積層至少具有一第二線路結構體，而透過該保護層開口，該第二線路結構體與該第一線路結構體電性連接。

177.如申請專利範圍第 176 項所述之晶片結構，其中該第二線路結構體之路徑厚度係界於 1 微米到 50 微米之間。

178.如申請專利範圍第 176 項所述之晶片結構，其中該第二線路結構體之路徑寬度係界於 1 微米到 1 公分之間。

179.如申請專利範圍第 176 項所述之晶片結構，其中該第二線路結構體之路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

180.如申請專利範圍第 176 項所述之晶片結構，其中該保護層的材質係為無機化合物。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

181.如申請專利範圍第 176 項所述之晶片結構，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中的一種結構。

182.如申請專利範圍第 176 項所述之晶片結構，其中該積層還具有一介電結構體，而該第二線路結構體係交錯於該積層之該介電結構體中。

183.如申請專利範圍第 182 項所述之晶片結構，其中該積層之該介電結構體係為有機化合物。

184.如申請專利範圍第 182 項所述之晶片結構，其中該積層之該介電結構體係為高分子聚合物。

185.如申請專利範圍第 182 項所述之晶片結構，其中該積層之該介電結構體之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

186.如申請專利範圍第 182 項所述之晶片結構，其中該積層之該介電結構體係由至少一介電層所構成，該介電層之厚度係介於 1 微米到 100 微米之間。

187.如申請專利範圍第 176 項所述之晶片結構，其中該第二線路結構體包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，透過該保護層開口，該插塞與該第一線路結構體電性連接，並且該插塞的截面積係大於該保護層開口的截面積。

188.如申請專利範圍第 176 項所述之晶片結構，其

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

中該第二線路結構體包括至少一金屬層及至少一插塞，該金屬層與該插塞電性連接，而該插塞之截面積係界於 1 平方微米到 10,000 平方微米之間。

189.一種晶片結構製程，包括：

提供一品圓，該品圓至少包括複數個電子元件、一線路結構體及一保護層，該些電子元件及該線路結構體係配置在該品圓的內部，該線路結構體與該些電子元件電性連接，該保護層係配置在該品圓之表層，而該保護層具有至少一保護層開口，暴露出該線路結構體；

形成一黏著層到該品圓之該保護層上，並且該黏著層與暴露於該保護層外之該線路結構體電性連接；

進行一微影製程，形成一光阻到該黏著層上，並且該光阻具有至少一光阻開口，暴露出該黏著層；

形成一導電金屬到該光阻開口中，並且該導電金屬係位在該黏著層上；

去除該光阻；以及

去除暴露於外之該黏著層，而僅殘留位在該導電金屬下之該黏著層，並且訊號的傳輸可以從該些電子元件之一，經由該線路結構體，穿過該保護層，到達該導電金屬，再經由該導電金屬，穿過該保護層，到達該線路結構體，而傳輸至其他的該些電子元件。

190.如申請專利範圍第 189 項所述之晶片結構製程，其中該導電金屬與該黏著層所加總的路徑厚度係界於 1 微米到 50 微米之間。

(請先閱讀背面之注意事項再填寫本頁)

訂線

六、申請專利範圍

191.如申請專利範圍第 189 項所述之晶片結構製程，其中該導電金屬的路徑寬度係界於 1 微米到 1 公分之間。

192.如申請專利範圍第 189 項所述之晶片結構製程，其中該導電金屬與該黏著層所加總的路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

193.如申請專利範圍第 189 項所述之晶片結構製程，其中該保護層的材質係為無機化合物。

194.如申請專利範圍第 189 項所述之晶片結構製程，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

195.如申請專利範圍第 189 項所述之晶片結構製程，其中在去除暴露於外之該黏著層之後，還包括形成一介電層到該保護層上，該介電層包覆該導電金屬。

196.如申請專利範圍第 195 項所述之晶片結構製程，其中在形成該介電層到該保護層上之後，還形成至少一接點開口貫穿該介電層，以暴露出該導電金屬。

197.如申請專利範圍第 195 項所述之晶片結構製程，其中該介電層係為有機化合物。

198.如申請專利範圍第 195 項所述之晶片結構製程，其中該介電層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

199.如申請專利範圍第 195 項所述之晶片結構製程，其中該介電層之厚度係介於 1 微米到 100 微米之間。

200.如申請專利範圍第 189 項所述之晶片結構製程，其中在形成該黏著層到該晶圓之該保護層上之前，還形成一介電層到該保護層上，該介電層具有至少一插塞開口，而該插塞開口與該保護層開口連通，該黏著層係形成在該介電層上、該插塞開口的側壁上及暴露於該保護層開口外的該線路結構體上。

201.如申請專利範圍第 200 項所述之晶片結構製程，其中該插塞開口的最大寬度係大於該保護層開口之最大寬度。

202.如申請專利範圍第 200 項所述之晶片結構製程，其中該插塞開口之截面積係界於 1 平方微米到 10,000 平方微米之間。

203.如申請專利範圍第 189 項所述之晶片結構製程，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

204.一種晶片結構製程，包括：

提供一晶圓，該晶圓至少包括一線路結構體及一保護層，該線路結構體係配置在該晶圓的內部，而該保護層係配置在該晶圓之表層，而該保護層具有至少一保護層開口，以暴露出該線路結構體，而該保護層開口的最大寬度係介於 0.5 微米到 20 微米之間；

形成一介電層到該晶圓之該保護層上，該介電層具

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

有至少一插塞開口，而該插塞開口與該保護層開口連通；

形成一黏著層到該介電層上、該插塞開口的側壁上及暴露於該保護層開口外的該線路結構體上；

進行一微影製程，形成一光阻到該黏著層上，並且該光阻具有至少一光阻開口，暴露出該黏著層；

形成一導電金屬到該光阻開口中，並且該導電金屬係位在該黏著層上；

去除該光阻；以及

去除暴露於外之該黏著層，而僅殘留位在該導電金屬下之該黏著層。

205.如申請專利範圍第 204 項所述之晶片結構製程，其中該導電金屬與該黏著層所加總的路徑厚度係界於 1 微米到 50 微米之間。

206.如申請專利範圍第 204 項所述之晶片結構製程，其中該導電金屬的路徑寬度係界於 1 微米到 1 公分之間。

207.如申請專利範圍第 204 項所述之晶片結構製程，其中該導電金屬與該黏著層所加總的路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

208.如申請專利範圍第 204 項所述之晶片結構製程，其中該保護層的材質係為無機化合物。

209.如申請專利範圍第 204 項所述之晶片結構製程，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

之全部組合所組成的複合層所組成的族群中之一種結構。

210.如申請專利範圍第 204 項所述之晶片結構製程，其中在去除暴露於外之該黏著層之後，還包括形成一另一介電層到該保護層上，該另一介電層包覆該導電金屬。

211.如申請專利範圍第 210 項所述之晶片結構製程，其中在形成該另一介電層到該保護層上之後，還形成至少一接點開口貫穿該另一介電層，以暴露出該導電金屬。

212.如申請專利範圍第 204 項所述之晶片結構製程，其中該介電層係為有機化合物。

213.如申請專利範圍第 204 項所述之晶片結構製程，其中該介電層之材質係選自於由聚醯亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

214.如申請專利範圍第 204 項所述之晶片結構製程，其中該介電層之厚度係介於 1 微米到 100 微米之間。

215.如申請專利範圍第 204 項所述之晶片結構製程，其中該插塞開口之截面積係界於 1 平方微米到 10,000 平方微米之間。

216.一種晶片結構製程，包括：

提供一晶圓，該晶圓至少包括一線路結構體及一保護層，該線路結構體係配置在該晶圓的內部，該保護層係配置在該晶圓之表層，而該保護層具有至少一保護層開

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

□，暴露出該線路結構體；

形成一導電金屬到該晶圓之該保護層上，並且該導電金屬與暴露於該保護層外之該線路結構體電性連接；

進行一微影製程，形成一光阻到該導電金屬上，並且該光阻定義出一線路圖案，使得該光阻暴露出該導電金屬；

去除暴露於該光阻外之該導電金屬，而僅殘留位在該光阻下之該導電金屬；以及

去除該光阻。

217.如申請專利範圍第 216 項所述之晶片結構製程，其中在形成該導電金屬到該晶圓之該保護層上之前，還形成一黏著層到該晶圓之該保護層上，而該導電金屬係形成在該黏著層上。

218.如申請專利範圍第 217 項所述之晶片結構製程，其中該導電金屬與該黏著層所加總的路徑厚度係界於 1 微米到 50 微米之間。

219.如申請專利範圍第 217 項所述之晶片結構製程，其中該導電金屬與該黏著層所加總的路徑截面積係界於 1 平方微米到 0.5 平方公厘之間。

220.如申請專利範圍第 217 項所述之晶片結構製程，其中在形成該黏著層到該晶圓之該保護層上之前，還形成一介電層到該保護層上，該介電層具有至少一插塞開口，而該插塞開口與該保護層開口連通，該黏著層係形成在該介電層上、該插塞開口的側壁上及暴露於該保護層開

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

口外的該線路結構體上。

221.如申請專利範圍第 220 項所述之晶片結構製程，其中該插塞開口的最大寬度係大於該保護層開口之最大寬度。

222.如申請專利範圍第 220 項所述之晶片結構製程，其中該插塞開口之截面積係界於 1 平方微米到 10,000 平方微米之間。

223.如申請專利範圍第 216 項所述之晶片結構製程，其中該保護層開口的最大寬度係介於 0.5 微米到 200 微米之間。

224.如申請專利範圍第 216 項所述之晶片結構製程，其中該導電金屬的路徑寬度係界於 1 微米到 1 公分之間。

225.如申請專利範圍第 216 項所述之晶片結構製程，其中該保護層的材質係為無機化合物。

226.如申請專利範圍第 216 項所述之晶片結構製程，其中該保護層的結構係選自於由氮矽化合物層、氧矽化合物層、磷矽玻璃層、該等之部份組合的複合層及該等之全部組合所組成的複合層所組成的族群中之一種結構。

227.如申請專利範圍第 216 項所述之晶片結構製程，其中在去除該光阻之後，還包括形成一介電層到該保護層上，該介電層包覆該導電金屬。

228.如申請專利範圍第 227 項所述之晶片結構製程，其中在形成該介電層到該保護層上之後，還形成至少

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

一接點開口貫穿該介電層，以暴露出該導電金屬。

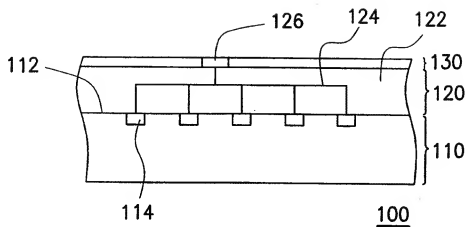
229.如申請專利範圍第 227 項所述之晶片結構製程，其中該介電層係為有機化合物。

230.如申請專利範圍第 227 項所述之晶片結構製程，其中該介電層之材質係選自於由聚鹽亞胺、苯基環丁烯、聚亞芳香基醚、多孔性介電材質及彈性體所組成之族群中的一種材質。

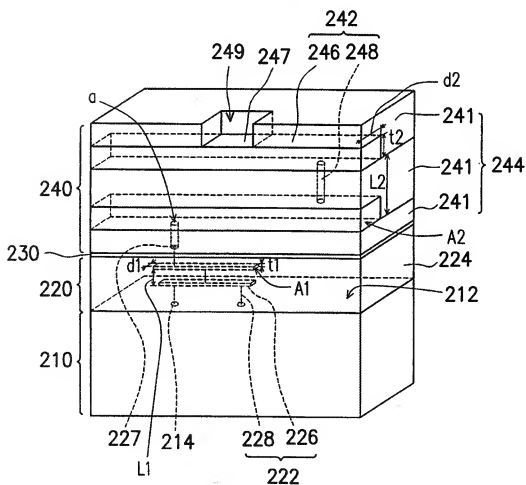
231.如申請專利範圍第 227 項所述之晶片結構製程，其中該介電層之厚度係介於 1 微米到 100 微米之間。

(請先閱讀背面之注意事項再填寫本頁)

訂
線

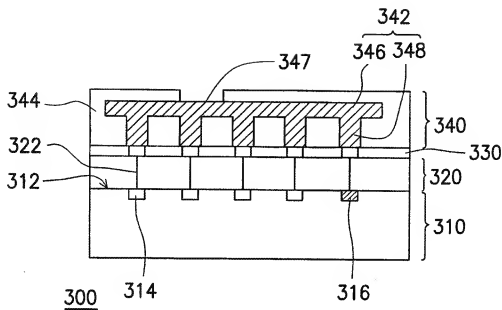


第 1 圖

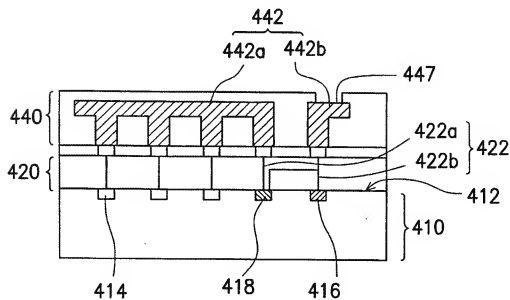


第 2 圖

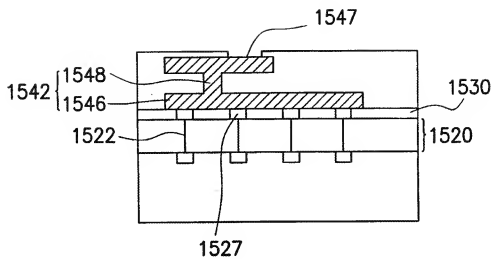
8553TW



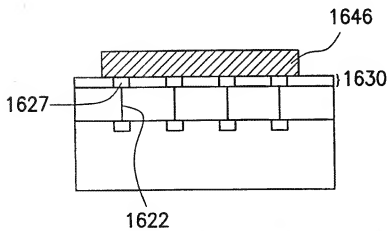
第 3 圖



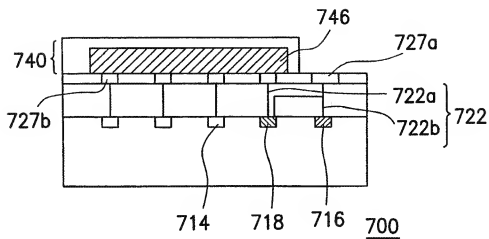
第 4 圖



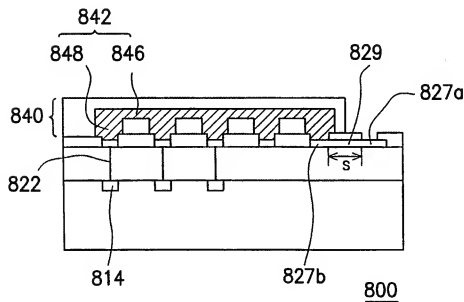
第 5 圖



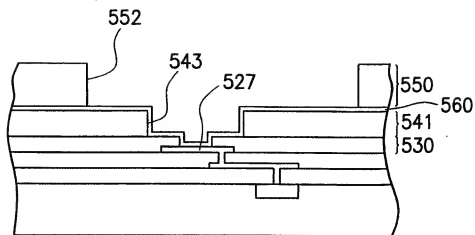
第 6 圖



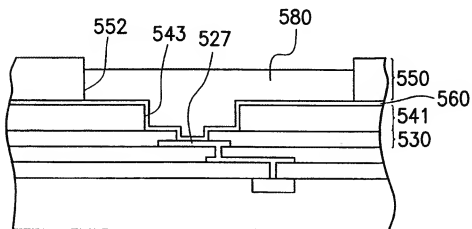
第 7 圖



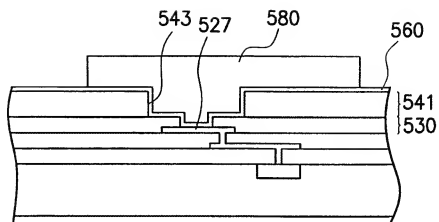
第 8 圖



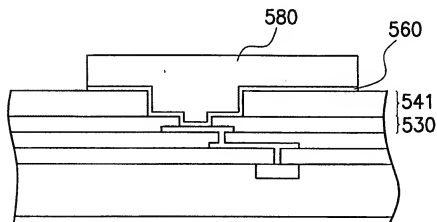
第11圖



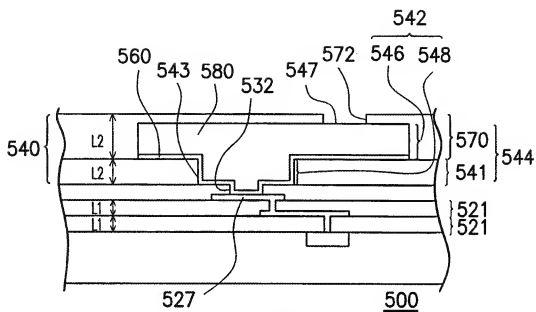
第12圖



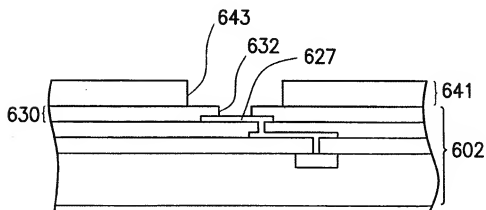
第 13 圖



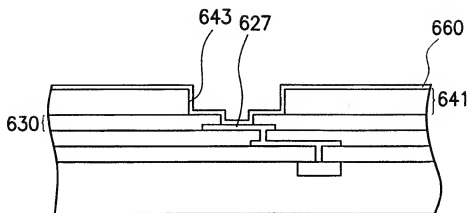
第 14 圖



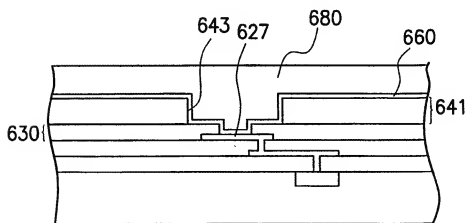
第 15 圖



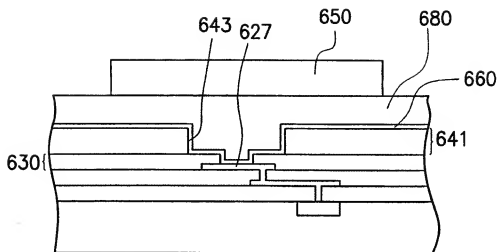
第 16 圖



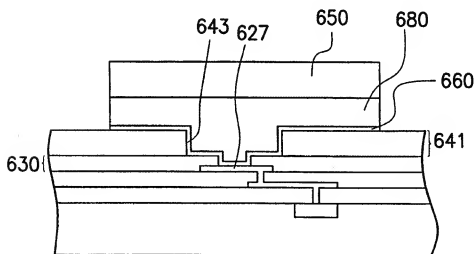
第 17 圖



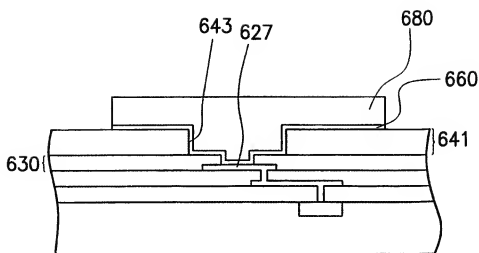
第 18 圖



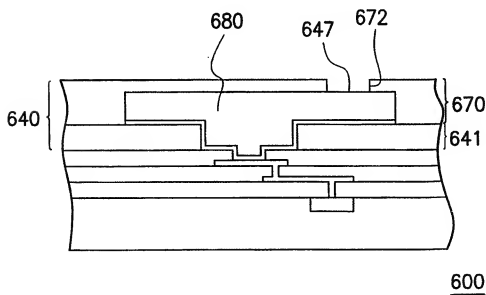
第 19 圖



第 20 圖



第 21 圖



第 22 圖